

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033482

(43)Date of publication of application : 31.01.2002

(51)Int.CI.

H01L 29/786  
H01L 21/336  
G02F 1/1368  
G09F 9/00  
G09F 9/30

(21)Application number : 2000-215515

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.07.2000

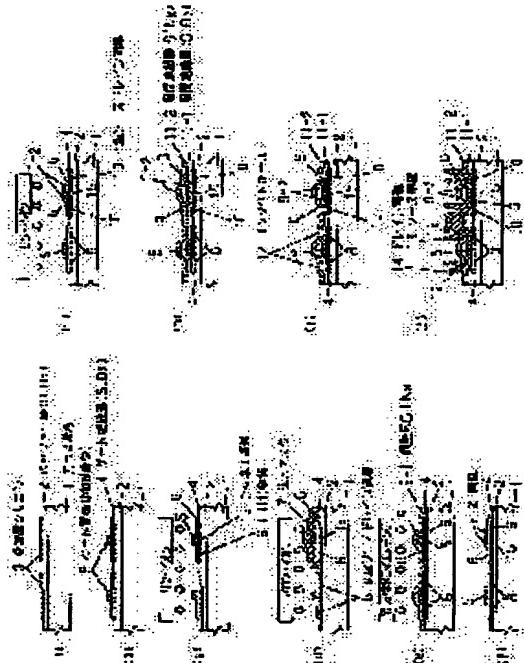
(72)Inventor : TSUTSU HIROSHI

**(54) THIN-FILM TRANSISTOR ARRAY AND ITS MANUFACTURING METHOD, LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURING METHOD AS WELL AS ELECTROLUMINESCENCE DISPLAY DEVICE AND ITS MANUFACTURING METHOD**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a thin-film transistor whose uniformity and performance are superior and to provide its manufacturing method whose productivity is high and which is low-cost regarding a thin-film transistor array and its manufacturing method, a liquid crystal display device and its manufacturing method as well as an electroluminescence display device and its manufacturing method.

**SOLUTION:** A sidewall is formed on the side face of a gate electrode, and an LDD or an offset region is formed in a self-aligned manner. An interlayer insulating film is formed of a plurality of layers. A source-drain electrode, a source bus interconnection and a pixel electrode are formed collectively on the plurality of interlayer insulating films.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[Abstract]

[Subject] The invention relates to a thin film transistor array and its manufacturing method, a liquid crystal display device and its manufacturing method, and an electroluminescent display device and its manufacturing method, and provides a thin film transistor with high uniformity and performance and its manufacturing method with high productivity and at a low cost.

[Solving Means] An LDD or offset region is formed by self-alignment by forming a sidewall on the side surface of a gate electrode, an interlayer insulation film is formed of plural layers, and source and drain electrodes, a source bus wiring, and a pixel electrode are formed on the interlayer insulation film of the plural layers at the same time.

[0002]

[Conventional Art] Hereafter, a polysilicon thin film transistor that has been developed for a liquid crystal display device will be described as an example of a conventional thin film transistor, with reference to figures.

[0003] In the field of liquid crystal display using a thin film transistor, in recent years, there is increasing attention to a polysilicon thin film transistor that can be formed at relatively low temperature (about 600°C or less) (hereafter, abbreviated to “a low temperature polysilicon TFT”), where a low cost glass substrate is usable instead of a high cost quartz substrate. For example, the low temperature polysilicon TFT described in “Society for Information Display International Symposium Digest of Technical Papers Volume XXX (1999) p.p.172-175” will be briefly described as an

example of the conventional art with reference to Fig. 9.

[0004] In the method of manufacturing the conventional low temperature polysilicon TFT, an amorphous silicon layer is deposited on the whole surface of a glass substrate 1 first, and the amorphous silicon layer on the substrate is partially heated and melted by irradiating excimer laser for crystallization to form polysilicon. Next, a SiO<sub>2</sub> layer of 120nm is formed as a gate insulation film 4. Then, a gate electrode 5 is formed using a MoW alloy. In this process, an LDD (Lightly Doped Drain) structure is formed in order to reduce a leak current that is a problem of the polysilicon TFT. Then, an interlayer insulation film 11 made of SiO<sub>2</sub> is formed, and then a contact hole 12 is formed. Then, a source electrode 13 and a drain electrode 14 are formed using Al. Then, a pixel electrode 18 is formed with a passivation layer 37 interposed therebetween, thereby forming the low temperature polysilicon TFT array.

[0005] The LDD (Lightly Doped Drain) structure is employed in order to reduce a leak current that is a problem of the polysilicon TFT in the described conventional art, but there are also reported examples using an offset structure.

[0035] (Embodiment 1) Fig. 1 shows cross-sectional views in processes for explaining a thin film transistor array and its manufacturing method of the first embodiment of the invention, and the description thereof will be made in order.

[0036] Amorphous silicon (hereafter, abbreviated to a-Si) is deposited to have a thickness 30 to 1150nm by a plasma CVD method using, for example, silane (SiH<sub>4</sub>) as a source gas on a glass substrate 1 (No. 1737 glass made by Corning Incorporated) attached with a SiO<sub>2</sub> film as a buffer layer 2 for preventing diffusion of impurities in the glass substrate 1. Then, hydrogen in a-Si is removed by a heat treatment at 400 to

450°C, and then a-Si is crystallized by, for example, XeCl excimer laser annealing to form polysilicon. Then, a polysilicon 3 is left only in a portion where a transistor is to be formed by a photolithography and an etching using the first mask (Fig. 1(a)).

[0037] Then, SiO<sub>2</sub> to be a gate insulation film 4 is deposited on the whole surface by a plasma CVD method using TEOS (Tetraethylorthosilicate : (C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si) as a source gas to have a thickness of 100nm. Then, a gate electrode 5 is formed using, for example, a MoW alloy so as to have a thickness of 500nm (Fig. 1(b)). The second mask is used in this process. The thickness of the gate electrode is preferably the same as or more than the thickness of a material forming a sidewall in the next process.

[0038] Then, using this gate electrode as a mask, plasma of hydrogen diluted phosphine (PH<sub>3</sub>) is formed, and ion doping is performed without mass separation under a condition of an acceleration voltage 70kV and a total dose of between about  $5 \times 10^{12}$  and  $1 \times 10^{14} \text{ cm}^{-2}$ , thereby forming a low impurity region (Lightly Doped Drain: hereafter, abbreviated to an LDD region) 6 (Fig. 1(c)).

[0039] Next, the pattern of an implantation mask 7 is formed using the third mask, a doping mask is formed using this implantation mask 7, plasma of hydrogen diluted diborane (B<sub>2</sub>H<sub>6</sub>) is formed, and ion doping is performed without mass separation under a condition of an acceleration voltage 60kV and a total dose  $5 \times 10^{15} \text{ cm}^{-2}$ , thereby forming a P-type source/drain region 8 of a p-ch TFT (Fig. 1(d)). Since phosphorus is implanted in the P-type source/drain region in a process that will be described below, too, an implantation amount of boron need be more than that of phosphorus at least, but the implantation amount and the acceleration voltage can be selectable as appropriate corresponding to the required resistance of the source/drain region.

[0040] Next, SiNx for a sidewall 9-1 is deposited on the whole surface to have a

thickness of 500nm, for example. Then, an anisotropic etching is performed by a reactive ion etching to leave a gate sidewall 9-2 (Figs. 1(e) and (f)). In this process, the width of the sidewall 9-2 is almost the same as the thickness of SiNx, i.e. about 0.5μm. Approximately ±10% can be obtained for the uniformity of the width of the sidewall, which is the same level as the variation of the deposition thickness of SiNx. Although the sidewall 9-2 is formed to have the thickness of 0.5μm this time, it is preferable that this thickness is less than 1μm when the productivity etc is taken into account while the thickness can be set as appropriate in consideration of an amount of electric field relaxation depending on impurity concentration of the LDD region 6, the grain size of the polysilicon, a process margin, or the like.

[0041] Then, for forming a n-type source/drain region 10 of the LDD thin film transistor, plasma of hydrogen diluted phosphine (PH<sub>3</sub>) is formed and ion doping is performed without mass separation under a condition of an acceleration voltage 70kV and a total dose  $1 \times 10^{15} \text{ cm}^{-2}$  using the gate electrode and its sidewall as a mask, thereby forming the source/drain region 10 of the n-ch (LDD) TFT (Fig. 1(g)). Although phosphorus ion is implanted in the source/drain region of the p-ch TFT in this process, too, since the amount of the implanted phosphorus is about 1/5 of boron even if added with phosphorus for forming the LDD region, a conductive-type problem does not occur. The implantation amount of phosphorus is not limited to 1/5 of the implantation amount of boron in this process, and the implantation amount and the acceleration voltage can be adjusted as appropriate so as to obtain a predetermined resistance value. Then, a heat treatment is performed at 450 to 600°C for an hour for activation of the implanted impurities.

[0042] Then, SiO<sub>2</sub> (11-1) is first deposited as an interlayer insulation film 11 by a

plasma CVD method using TEOS (Tetraethylorthosilicate:(C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si) as a source gas.

Then, SiNx (11-2) as the interlayer insulation film 11, that also serves as passivation and for hydrogenation for compensating a dangling bond of polysilicon, is deposited on the whole surface by plasma CVD (Fig. 1(h)).

[0043] A contact hole 12 for contacting the source/drain region of the semiconductor is formed by a photolithography and an etching using the fourth mask (Fig. 1(i)), and aluminum (Al), for example, is deposited as a source electrode 13 and a drain electrode 14 by a sputtering method and then patterned by a photolithography and an etching using the fifth mask, thereby forming a polysilicon TFT (Fig. 1(j)).

[0044] Although a-Si formed by the plasma CVD method is used in this embodiment 1, it is possible to form a-Si by a decompression CVD method, a sputtering method, or the like other than the plasma CVD method. Furthermore, although the polysilicon 3 is used as a semiconductor material, the polysilicon is not necessarily used and an amorphous silicon or compound semiconductor such as SiGe, SiGeC, group III-V or group II-VI can be used.

[0045] Although poly-crystallization is performed by a XeCl excimer laser after the amorphous silicon is deposited in order to form the polysilicon in the embodiment 1, it is also possible to use the other ArF or KrF excimer laser, Ar laser, or the like, or solid phase growth by annealing at about 600°C. It is noted that a substrate that can withstand the temperature for the solid phase growth should be used as a substrate in the case of performing the solid phase growth.

[0046] Although SiO<sub>2</sub> formed by the plasma CVD using TEOS is used as the gate insulation film, it is possible to form SiO<sub>2</sub> by decompression CVD, remote plasma CVD, atmospheric pressure CVD, ECR-CVD or the like other than the plasma CVD. It is

also possible to use high pressure oxidation or a plasma oxide film.

[0047] Furthermore, although the MoW alloy is used as the gate electrode material, it is possible to use pure Al, or a material made by adding a small amount of one or some of Si, Cu, Ta, Sc, and Zr to Al.

[0048] Although  $\text{SiN}_x$  is used as a material of the sidewall, it is possible to use an inorganic insulation material such as  $\text{SiO}_2$ , tantalum oxide, aluminum oxide, or the like. Alternatively, the insulation material is not necessarily used for that, and Al, Cr, Ti, Mo, W, Ta, an alloy of these, or silicide can be used, or a semiconductor material such as Si or an organic material can be also used.

[0049] For the activation of the implanted ion, it is possible not to add the annealing process or the like since the hydrogen implanted at the same time is self-activated. However, for more sufficient activation, heating can be partially performed by annealing at 400°C or more, excimer laser irradiation, or RTA (Rapid Thermal Anneal).

[0050] Although a layered film of  $\text{SiO}_2$  made by the plasma CVD method using TEOS and  $\text{SiN}_x$  is used as the interlayer insulation film 11, it is also possible to form a layered structure of  $\text{SiO}_2$  made by the other method, for example, by an AP-CVD (Atmospheric Pressure CVD) method, LTO (Low Temperature Oxide), or ECR-CVD, and silicon nitride, tantalum oxide, aluminum oxide, or the like.

[0051] Although Al is used as a material of the source electrode 13 and the drain electrode 14, it is possible to use metal such as aluminum (Al), tantalum (Ta), molybdenum (Mo), chromium (Cr), titanium (Ti), an alloy of these, polysilicon containing many impurities, a polysilicon Ge alloy, or a transparent conductive film such as ITO.

[0052] Although phosphorus and boron are used as the impurities, it is possible to use

arsenic or the like as an acceptor or aluminum or the like other than phosphorus as a donor selectively.

[0083](Embodiment 5) Fig. 6 shows cross-sectional views for explaining an electroluminescent display device and its manufacturing method of the fifth embodiment of the invention, and Fig. 7 shows an equivalent circuit diagram. The detail description of the manufacturing method will be omitted. This embodiment follows the method of the embodiment 1 until the formation of the contact hole using the fourth mask after the interlayer insulation film is deposited (Fig. 6(a)).

[0084] Finally, a source electrode 13, a drain electrode 14, a source bus wiring (not shown), and a pixel electrode 18 are selectively formed using ITO with the fifth mask, thereby forming a thin film transistor array (Fig. 6(b)). In this process, although not shown, CMOS drive circuits for driving the pixel transistors are also integrally formed at the same time as when the switching transistors for the pixels are formed in a matrix by the same manufacturing method as that of the embodiment 1.

[0085] After then, for example, polyethylenedioxythiophene (PEDT) as a conductive polymer 31 and a polydialkylfluorene derivative 32 that practically emits light are formed, and finally a Ca cathode 33 is vapor-deposited, thereby completing an electroluminescent display device (Fig. 6(c)).

[0086] The operation thereof is as follows. A display signal is applied to the signal line when a pulse signal is first given to the scanning line so as to turn the switching transistor 25 on, the drive transistor 34 turns on and a current flows from the current supply line 35, and the electroluminescent cell 36 emits light.

[0087] Although the polydialkylfluorene derivative is used as the electroluminescent

material in the described embodiment 5, it is needless to say that the other organic material, for example, the other polyfluorene type material or polyphenylvinylene type material, or an inorganic material can be used. The electroluminescent material can be deposited by a coating method such as spin coating, vapor deposition, jet formation such as ink jetting.

[0088] Although the source bus wiring is also formed of ITO, it is possible to form a backup wiring using a material of low resistance such as Al if there is a matter in resistance.

[0089] (Embodiment 6) Fig. 8 shows cross-sectional views for explaining an electroluminescent display device and its manufacturing method of the sixth embodiment of the invention, and Fig. 7 shows an equivalent circuit diagram. The detail description of the manufacturing method will be omitted. The manufacturing method follows the method of the embodiment 2, and is the same until the formation of the contact hole 12 using the fourth mask after the interlayer insulation film is deposited (Fig. 8(a)).

[0090] Finally, a source electrode 13, a drain electrode 14, a source bus wiring (not shown), and a pixel electrode 18 are formed using ITO selectively, thereby completing a thin film transistor array (Fig. 8(b)). In this process, although not shown, CMOS drive circuits for driving the pixel transistors are integrally formed at the same time as when the switching transistors for the pixels are formed in a matrix by the same manufacturing method as that of the embodiment 2.

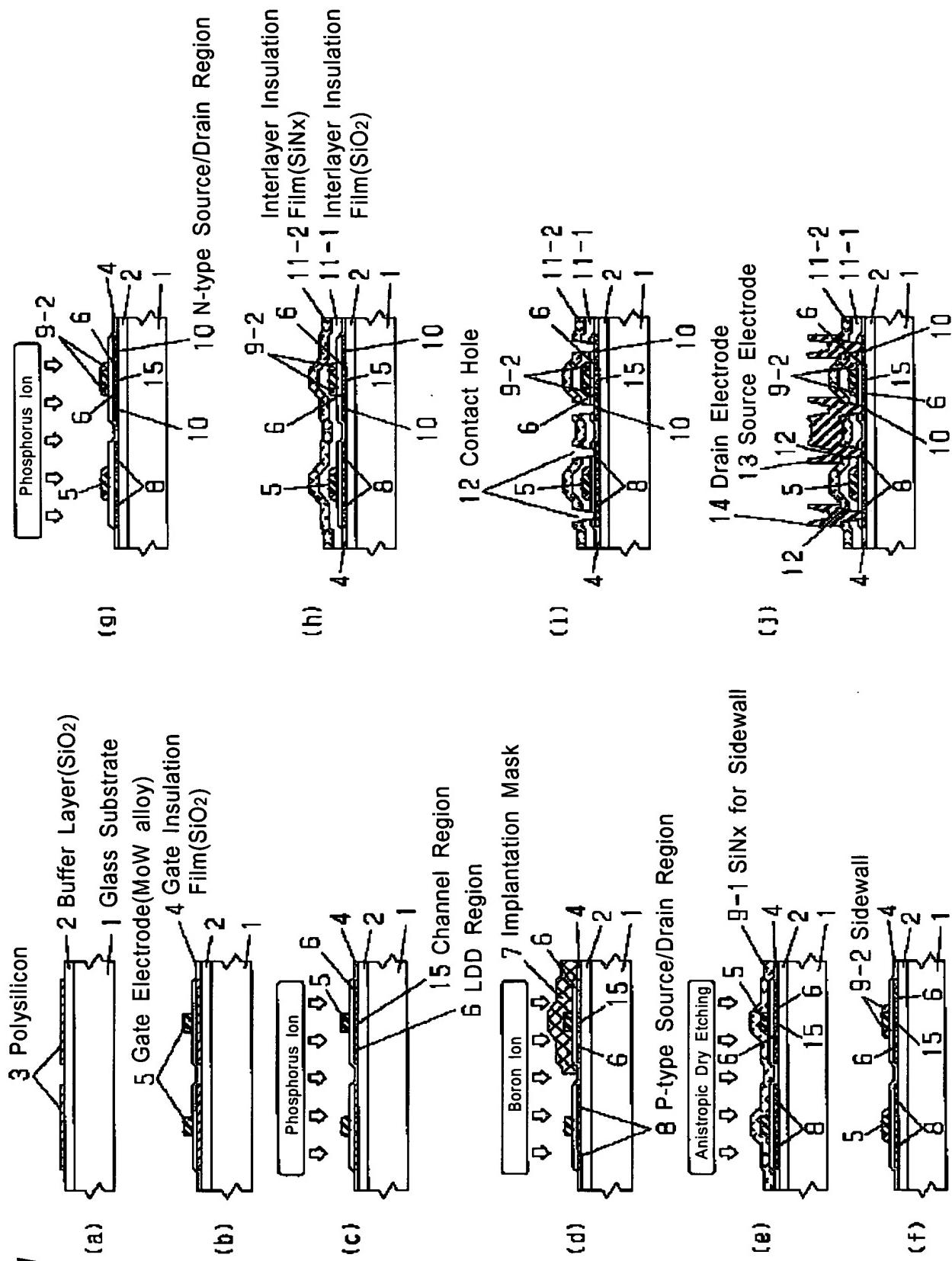
[0091] After then, polyethylenedioxythiophene (PEDT) as a conductive polymer 31 and a polydialkylfluorene derivative 32 that practically emits light are formed for example, and finally a Ca cathode 33 is vapor-deposited, thereby completing an

electroluminescent display device (Fig. 8(c)).

[0092] The operation thereof is as follows. A display signal is applied to the signal line 30 when a pulse signal is first given to the scanning line 29 so as to turn the switching transistor 25 on, then the drive transistor 34 turns on and a current flows from the current supply line 35, and the electroluminescent cell 36 emits light.

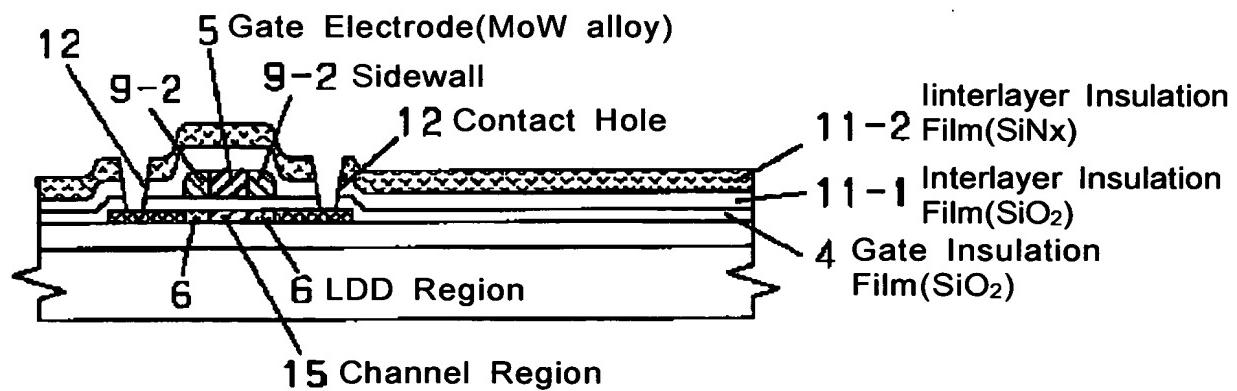
[0093] Although the polydialkylfluorene derivative is used as the electroluminescent material in the described embodiment 6, it is needless to say that the other organic material, for example, the other polyfluorene type material, a polyphenylvinylene type material, or an inorganic material can be used. It is also possible to deposit the electroluminescent material by a coating method such as spin coating, vapor deposition, or jet formation such as ink jetting.

[0094] Although the source bus wiring is also formed of ITO, it is possible to form a backup wiring using a material of low resistance such as Al if there is a matter in resistance.

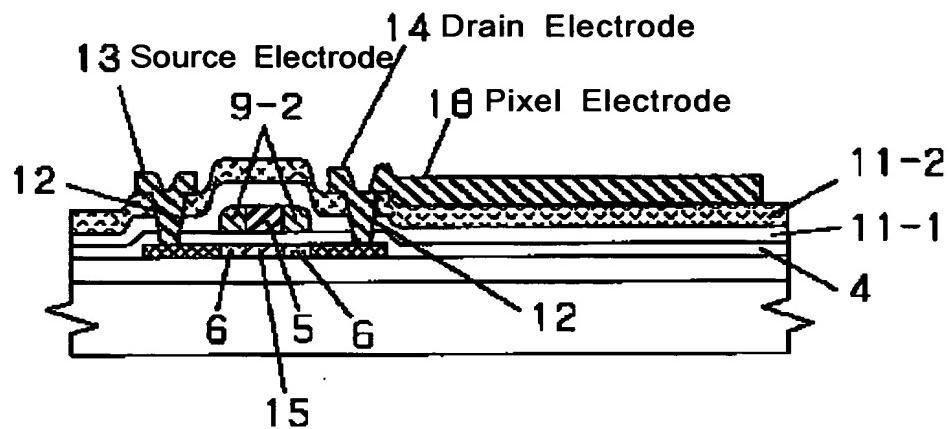
**FIG. 1**

**FIG.6**

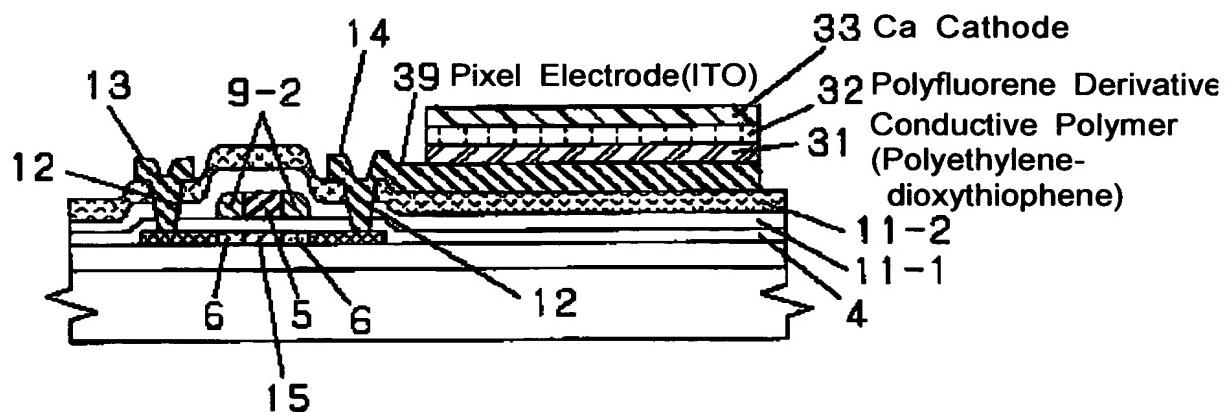
(a)



(b)

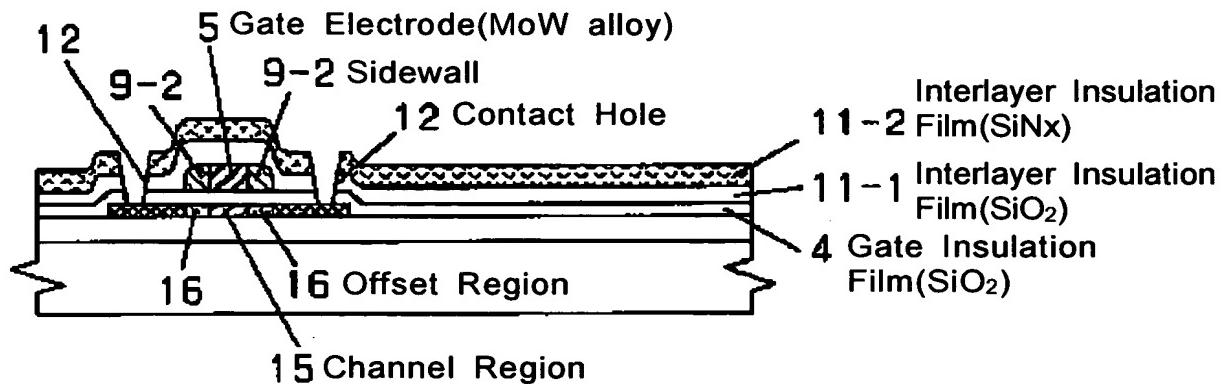


(c)

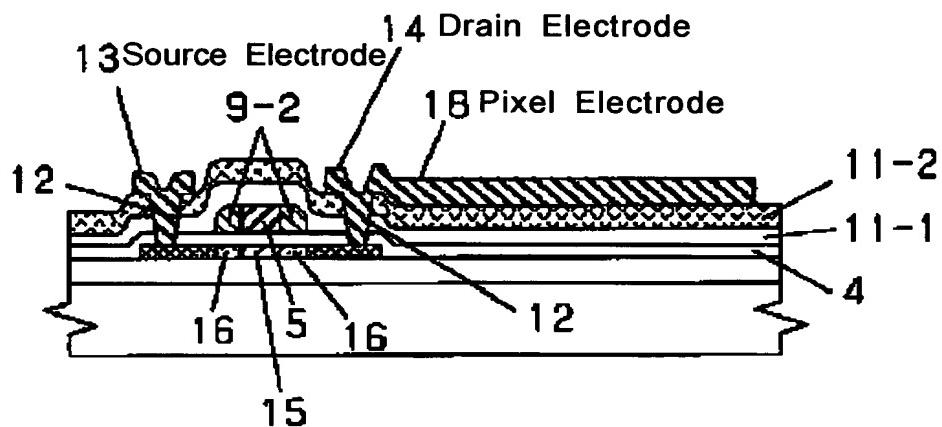


**FIG.8**

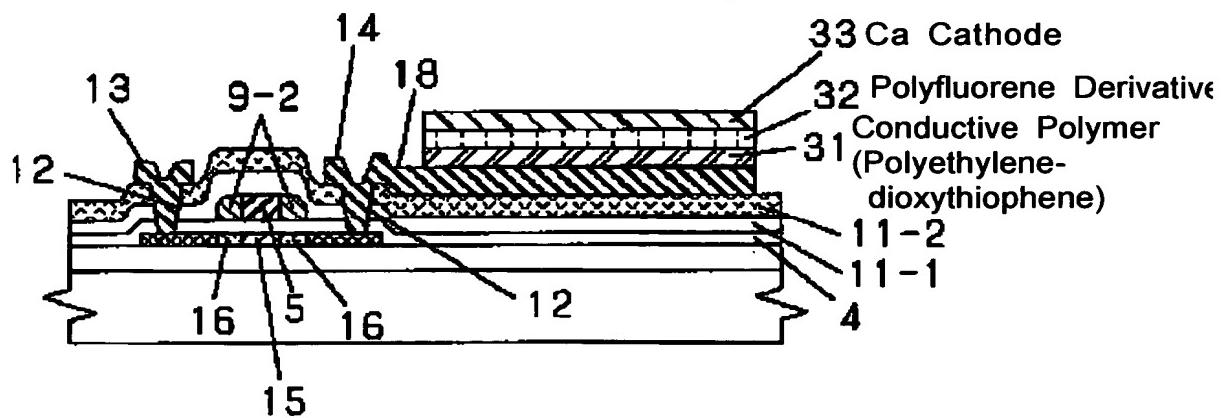
(a)



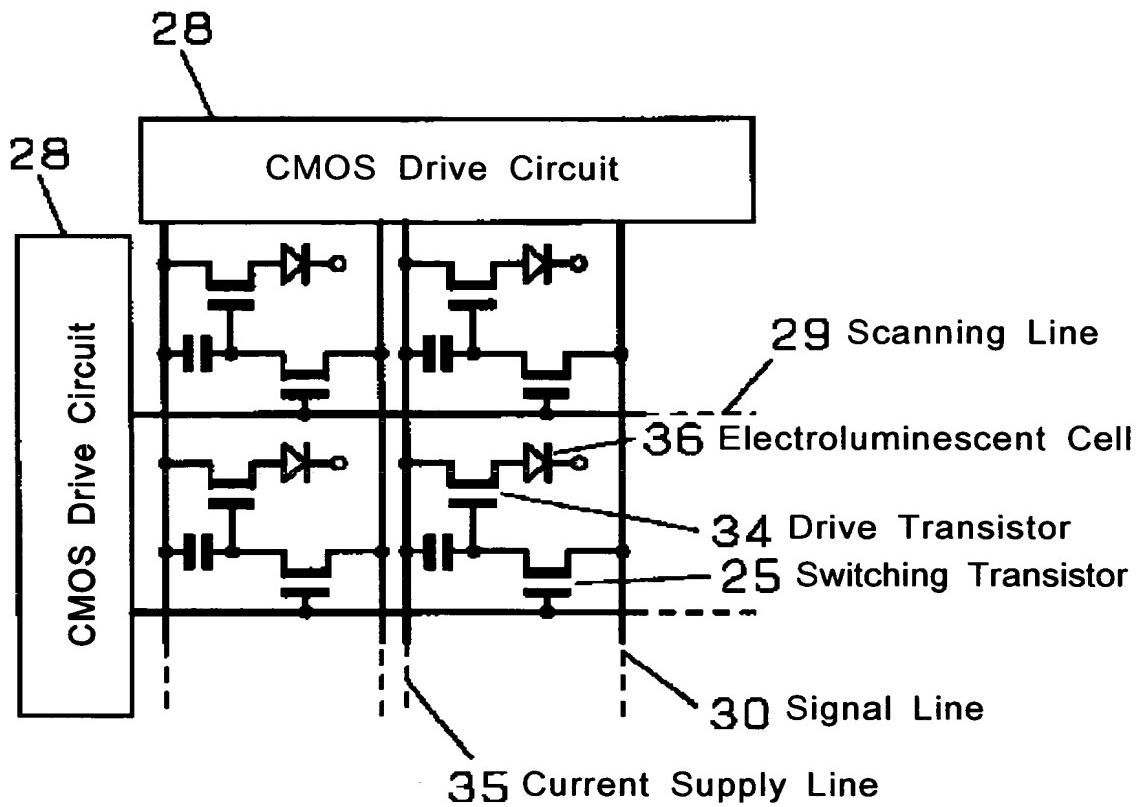
(b)



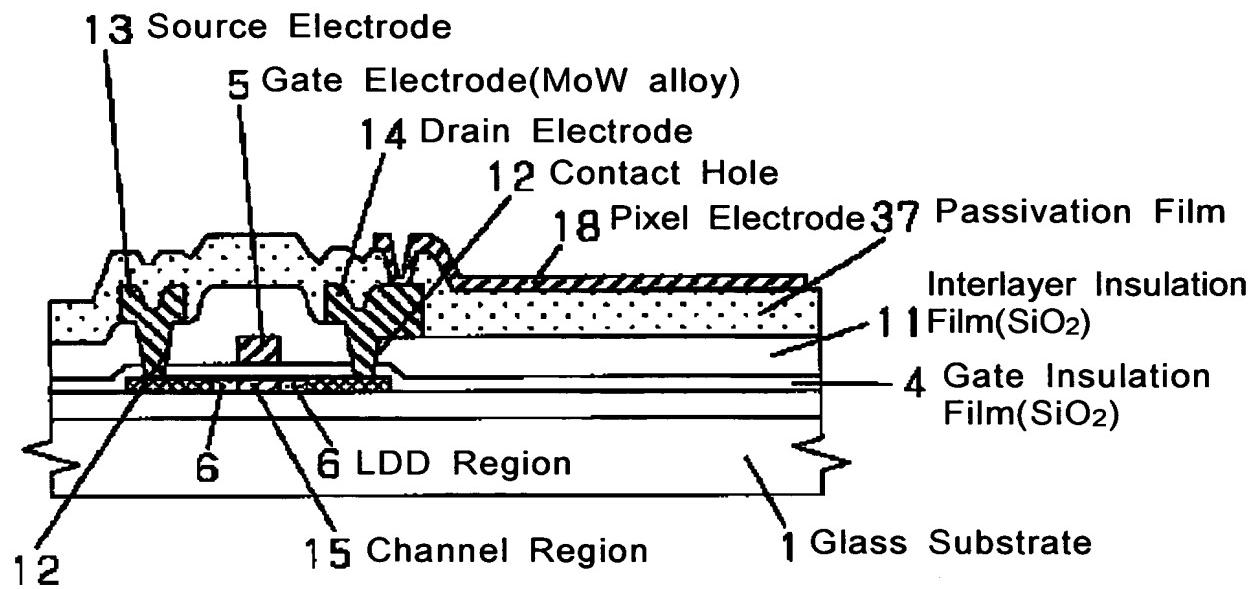
(c)



**FIG.7**



**FIG.9**



(19)【発行国】日本国特許庁(JP)

(12)【公報種別】公開特許公報(A)

(11)【公開番号】特開2002-33482(P2002-33482A)

(43)【公開日】平成14年1月31日(2002. 1. 31)

(54)【発明の名称】薄膜トランジスタアレイ及びその製造方法、液晶表示装置及びその製造方法とエレクトロルミネッセンス表示装置及びその製造方法

(51)【国際特許分類第7版】

H01L 29/786

21/336

G02F 1/1368

G09F 9/00 338

348

9/30 338

365

【F1】

G09F 9/00 338

348 C

9/30 338

365 Z

H01L 29/78 616 A

G02F 1/136 500

H01L 29/78 612 D

612 B

617 A

【審査請求】未請求

【請求項の数】12

【出願形態】OL

【全頁数】15

(21)【出願番号】特願2000-215515(P2000-215515)

(22)【出願日】平成12年7月17日(2000. 7. 17)

(71)【出願人】

【識別番号】000005821

【氏名又は名称】松下電器産業株式会社

【住所又は居所】《省略》

(72)【発明者】

【氏名】筒 博司

【住所又は居所】《省略》

(74)【代理人】

【識別番号】100097445

【弁理士】

【氏名又は名称】岩橋 文雄(外2名)

【テーマコード(参考)】

2H092

5C094

5F110

5G435

【Fターム(参考)】

2H092 GA59 HA28 JA25 JA33 JA35 JA39 KA05 KA10 KA12 KA18 KA19 KB24 KB25 MA05

MA07 MA08 MA19 MA27 MA29 MA30 MA37 MA41 NA24 NA27 NA29

5C094 AA13 AA25 AA42 AA43 AA44 AA53 AA55 BA03 BA27 BA43 CA19 DA13 DB01 DB04

DB10 EA04 EA06 EB02 ED11 FA01 FA02 FB02 FB12 FB14 FB15 GB10

5F110 AA01 AA16 BB02 BB04 BB07 BB09 CC02 DD02 DD13 EE03 EE06 EE32 FF02 FF21 FF25

FF29 FF30 FF31 FF32 GG01 GG02 GG04 GG13 GG15 GG24 GG25 GG43 GG45 GG47 HJ01

HJ04 HJ12 HJ23 HL01 HL02 HL03 HL04 HL06 HL07 HL08 HL23 HM14 HM15 NN03 NN22 NN23

NN24 NN35 PP03 PP10 PP35 QQ23

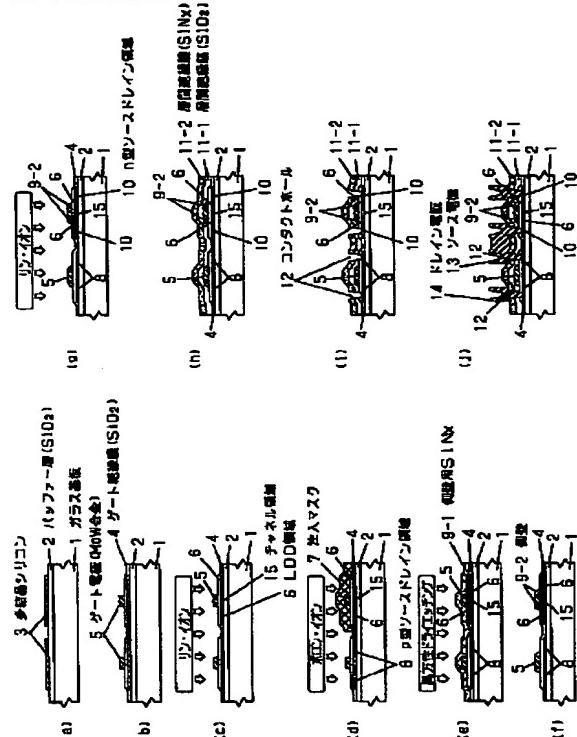
5G435 AA16 AA17 BB05 BB12 BB16 CC09 EE37 HH12 HH13 HH14 KK05

## 【要約】

【課題】本発明は薄膜トランジスタアレイ及びその製造方法と液晶表示装置及びその製造方法とエレクトロルミネッセンス表示装置及びその製造方法に関するものであり、均一性と性能に優れた薄膜トランジスタ及びその製造方法を生産性が高く低コストで提供することを目的とする。

【解決手段】ゲート電極側面に側壁を形成することによって、自己整合的にLDDまたはオフセット領域を形成し、また、層間絶縁膜を複数の層で形成し、これら複数の層間絶縁膜上にソース・ドレイン電極とソースバス配線と画素電極を一括して形成する。

## 【代表図面】



## 【特許請求の範囲】

【請求項1】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイであって、前記薄膜トランジスタおよび前記相補型薄膜トランジスタはチャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極側面には不純物注入のマスクとなる側壁が形成され、前記ゲート絶縁膜上には複数の層からなる層間絶縁膜を介して前記ソース及びドレイン電極並びに前記ソースバス配線を少なくとも有し、前記相補型薄膜トランジスタにおいて少なくとも一方の導電型の薄膜トランジスタには、前記側壁の下部の半導体層に前記ソース及びドレイン領域よりも不純物濃度が低い領域が形成されたことを特徴とする薄膜トランジスタアレイ。

【請求項2】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイの製造方法であって、半導体層を選択的に形成する工程と、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して前記半導体層の一部上にゲート電極を形成する工程と、前記ゲート電極をマスクにドナーまたはアクセプタとなる第一の不純物を注入する工程と、前記ゲート電極側面に側壁を形成する工程と、前記ゲート電極及び前記側壁をマスクに前記第一の不純物の濃度以上の濃度を有する第二の不純物を注入する工程と、複数の層間絶縁膜を形成する工程と、前記複数の層間絶縁膜を介してソース及びドレイン電極並びにソースバス配線形成する工程とを

少なくとも有することを特徴とする薄膜トランジスタアレイの製造方法。

【請求項3】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイであって、前記薄膜トランジスタおよび前記相補型薄膜トランジスタはチャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極側面には不純物注入のマスクとなる側壁が形成され、前記ゲート絶縁膜上には複数の層からなる層間絶縁膜を介して前記ソース及びドレン電極並びにソースバス配線を少なくとも有し、前記相補型薄膜トランジスタにおいて少なくとも一方の導電型の薄膜トランジスタには、前記側壁の下部の半導体層にチャネル領域と同一の不純物濃度のオフセット領域が形成されたことを特徴とする薄膜トランジスタアレイ。

【請求項4】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイの製造方法であって、半導体層を選択的に形成する工程と、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して前記半導体層の一部上にゲート電極を形成する工程と、前記ゲート電極と選択的に形成された注入マスクをマスクとして第一の導電型の不純物を注入する工程と、前記注入マスクを除去する工程と、前記ゲート電極側面に側壁を形成する工程と、前記ゲート電極及び前記側壁をマスクに不純物を注入する工程と、複数の層間絶縁膜を形成する工程と、前記複数の層間絶縁膜を介してソース及びドレン電極並びにソースバス配線を形成する工程とを少なくとも有することを特徴とする薄膜トランジスタアレイの製造方法。

【請求項5】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と前記第一基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置であって、前記第一の基板が有する薄膜トランジスタアレイは請求項1記載の薄膜トランジスタアレイを配置してなることを特徴とする液晶表示装置。

【請求項6】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と前記第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置の製造方法であって、前記第一の基板が有する薄膜トランジスタアレイは請求項2記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴とする液晶表示装置の製造方法。

【請求項7】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と前記第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置であって、前記第一の基板が有する薄膜トランジスタアレイは請求項3記載の薄膜トランジスタアレイを配置してなることを特徴とする液晶表示装置。

【請求項8】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と前記第一基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置の製造方法であって、前記第一の基板が有する薄膜トランジスタアレイは請求項4記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴とする液晶表示装置の製造方法。

【請求項9】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲート

バス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極を少なくとも有するエレクトロルミネッセンス表示装置であって、前記薄膜トランジスタアレイは請求項1記載の薄膜トランジスタアレイを配置してなることを特徴とするエレクトロルミネッセンス表示装置。

【請求項10】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極を少なくとも有するエレクトロルミネッセンス表示装置の製造方法であって、前記薄膜トランジスタアレイは請求項2記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴とするエレクトロルミネッセンス表示装置の製造方法。

【請求項11】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極を少なくとも有するエレクトロルミネッセンス表示装置であって、前記薄膜トランジスタアレイは請求項3記載の薄膜トランジスタアレイを配置してなることを特徴とするエレクトロルミネッセンス表示装置。

【請求項12】マトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極を少なくとも有するエレクトロルミネッセンス表示装置の製造方法であって、前記薄膜トランジスタアレイは請求項4記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴とするエレクトロルミネッセンス表示装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は各種の半導体装置やセンサーチップ、SRAM(Static Random Access Memory)等に応用される薄膜トランジスタアレイ及びその製造方法に関する。また、液晶表示装置及びその製造方法、並びにエレクトロルミネッセンス表示装置及びその製造方法に関する。

**【0002】**

【従来の技術】以下、従来の薄膜トランジスタの例として、液晶表示装置用に開発が進められているポリシリコン薄膜トランジスタについて、図面を用いて説明を行う。

【0003】近年薄膜トランジスタを用いた液晶表示の分野では、高価な石英基板ではなく安価なガラス基板が使用可能な比較的低温(概ね600°C以下)で作成できる多結晶シリコン薄膜トランジスタ(以下、「低温多結晶シリコンTFT」と略記する)が注目を集めている。例えば、「Society for Information Display International Symposium Digest of Technical Papers Volume XXX(1999) p.p.172~175」に記載されている低温多結晶シリコンTFTを従来例として、(図9)を参照しながら簡単に説明する。

【0004】この従来例の低温多結晶シリコンTFTの製造方法は、まずガラス基板1上に非晶質シリコン層を全面に堆積後、エキシマレーザーを照射し基板上の非晶質シリコン層を局所的に加熱溶融して結晶化させ多結晶シリコンを得る。次にゲート絶縁膜4として120nmのSiO<sub>2</sub>層をする。次に、ゲート電極5をMoW合金を用いて形成する。このとき、多結晶シリコンTFTの課題であるリーク電流を減少させるため、LD(Lightly Doped Drain)構造を形成する。そしてSiO<sub>2</sub>からなる層間絶縁膜11を形成した後、コンタクトホール12を形成する。そしてAIを用いてソース電極13及びドレイン電極14を形成する。そして、パッシベーション層37を介して、画素電極18を形成して低温多結晶シリコンTFTアレイが完成する。

【0005】上記の従来例では、多結晶シリコンTFTの課題であるリーク電流を減少させるため、LD(Lightly Doped Drain)構造を採用していたが、オフセット構造を採用する事例も報告されている。

**【0006】**

【発明が解決しようとする課題】上記(図9)に示す従来の低温多結晶シリコン TFTを作製する場合、以下の課題が生じる。(図9)に示した例では、画素電極とソース・ドレイン電極が別レイヤーであるため、マスク枚数の増加やプロセスステップの増加などやそれらに伴う歩留り低下によってコスト高を招く。上記の従来例の場合はCMOS駆動回路部を含めると少なくとも8~9枚のマスクが必要となる。

【0007】また、LD領域がマスク合せで形成されるため、LD領域の抵抗値のバラツキや信頼性のバラツキがフォトリソグラフィー工程のマスク合せ精度によって制約を受ける。一般には±0.5μm程度しか合せ精度がないため、例えばLD長が設計上2μmであったとしてもLD長は1.5μm~2.5μm程度のバラツキを有し、結果としてLD領域の抵抗値が他にバラツキ要素が無いと仮定しても、±25%程度のバラツキを生じてしまう。その結果、LD薄膜トランジスタの特にON能力もバラツキを生じ、画像上のムラとなって現れたり、駆動回路部分では駆動能力・スピードがばらつくため、歩留りの低下を生じると言う課題を有している。

【0008】また、LDではなくオフセット領域を形成する場合はオフセット領域の比抵抗が高いため、よりバラツキが顕著にTFT特性に現れる。

【0009】本発明はかかる点に鑑み、マスク枚数を削減して低コストで生産性に優れ、しかもバラツキが少なく歩留りの高い薄膜トランジスタアレイ及びその製造方法と液晶表示装置及びその製造方法とエレクトロルミネッセンス表示装置及びその製造方法を提供することを目的とする。

**【0010】**

【課題を解決するための手段】これらの課題を解決するために、本発明の発明者が様々に検討したところ、LD領域またはオフセット領域を形成するにあたり、ゲート電極側面に側壁を形成することによって、自己整合的にLDまたはオフセット領域を形成することによってマスク枚数を削減するとともに、LD領域用の不純物注入はゲート電極をマスクとして全面に注入し、またp型のソース・ドレイン領域にはアクセプタとドナーとなる不純物の両方が含まれていることを第一の特徴とし、また、層間絶縁膜を複数の層で形成し、これら複数の層間絶縁膜上にソース・ドレイン電極とソースバス配線と画素電極を一括して形成することを特徴とすることによって、CMOS型の薄膜トランジスタアレイを5枚のマスクで形成する。このような製造方法を用いることにより、LDまたは

オフセット領域が自己整合的に形成されるので、ばらつきが小さい。

【0011】

【発明の実施の形態】本発明の請求項1記載の薄膜トランジスタアレイはマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイであって、前記薄膜トランジスタおよび前記相補型薄膜トランジスタはチャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極側面には不純物注入のマスクとなる側壁が形成され、前記ゲート絶縁膜上には複数の層からなる層間絶縁膜を介してソース及びドレイン電極並びにソースバス配線を少なくとも有し、前記相補型薄膜トランジスタにおいて少なくとも一方の導電型の薄膜トランジスタには前記側壁の下部の半導体層にソース及びドレイン領域よりも不純物濃度が低い領域が形成されたことを特徴としたものである。

【0012】本発明によれば、均一性と特性に優れた薄膜トランジスタが提供できるという作用を有する。

【0013】本発明の請求項2記載の薄膜トランジスタアレイの製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイの製造方法であって、半導体層を選択的に形成する工程と、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して前記半導体層の一部上にゲート電極を形成する工程と、前記ゲート電極をマスクにドナーまたはアクセプタとなる第一の不純物を注入する工程と、前記ゲート電極側面に側壁を形成する工程と、前記ゲート電極及び前記側壁をマスクに前記第一の不純物を以上の濃度の第二の不純物を注入する工程と、複数の層間絶縁膜を形成する工程と、前記複数の層間絶縁膜を介してソース及びドレイン電極並びにソースバス配線を形成する工程とを少なくとも有することを特徴としたものである。

【0014】本発明によれば、生産性と歩留りが高く、しかも均一性と性能の良い薄膜トランジスタアレイの製造方法が提供できるという作用を有する。

【0015】本発明の請求項3記載の薄膜トランジスタアレイはマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイであって、前記薄膜トランジスタおよび前記相補型薄膜トランジスタはチャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極側面には不純物注入のマスクとなる側壁が形成され、前記ゲート絶縁膜上には複数の層からなる層間絶縁膜を介してソース及びドレイン電極並びにソースバス配線を少なくとも有し、前記相補型薄膜トランジスタの少なくとも一方の導電型の薄膜トランジスタには前記側壁の下部の半導体層にチャネル領域と同一の不純物濃度のオフセット領域が形成されたことを特徴したものである。

【0016】本発明によれば均一性に優れた薄膜トランジスタが提供できるという作用を有する。

【0017】本発明の請求項4記載の薄膜トランジスタアレイの製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイの製造方法であって、半導体層を選択的に形成する工程と、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して前記半導体層の一部上にゲート電極を形成する工程と、前記ゲート電極と選択的に形成された注入マスクをマスクとして第一の導電型の不純物を注入する工程と、前記注入マスクを除去する工程と、前記ゲート電極側面に側壁を形成する工程と、前記ゲート電極及び前記側壁をマスクに不純物を注入する工程と、複数の層間絶縁膜を形成する工程と、前記複数の層間絶縁膜を介してソース及びドレイン電極並びにソースバス配線を形成する工程とを少なくとも有することを特徴としたもので

ある。

【0018】本発明によれば、より生産性と歩留りが高く、しかも均一性の良い薄膜トランジスタアレイの製造方法が提供できるという作用を有する。

【0019】本発明の請求項5記載の液晶表示装置はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置であって、前記第一の基板は請求項1記載の薄膜トランジスタアレイを配置してなることを特徴としたものである。

【0020】本発明によれば本発明によれば、均一性と特性に優れた液晶表示装置が提供できるという作用を有する。

【0021】本発明の請求項6記載の液晶表示装置の製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置の製造方法であって、前記第一の基板は請求項2記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴としたものである。

【0022】本発明によれば、生産性と歩留りが高く、しかも均一性と性能の良い液晶表示装置の製造方法が提供できるという作用を有する。

【0023】本発明の請求項7記載の液晶表示装置はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置であって、前記第一の基板は請求項3記載の薄膜トランジスタアレイを配置してなることを特徴としたものである。

【0024】本発明によれば均一性に優れた液晶表示装置が提供できるという作用を有する。

【0025】本発明の請求項8記載の液晶表示装置の製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する第一の基板と対向する電極を配置した第二の基板間に液晶を挟持した液晶表示装置の製造方法であって、前記第一の基板は請求項4記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴としたものである。

【0026】本発明によれば、より生産性と歩留りが高く、しかも均一性の良い液晶表示装置の製造方法が提供できるという作用を有する。

【0027】本発明の請求項9記載のエレクトロルミネッセンス表示装置はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極から少なくともなるエレクトロルミネッセンス表示装置であって、前記薄膜トランジスタアレイは請求項1記載の薄膜トランジスタアレイを配置してなることを特徴としたものである。本発明によれば本発明によれば、均一性と特性に優れたエレクトロルミネッセンス表示装置が提供できるという作用を有する。

【0028】本発明の請求項10記載のエレクトロルミネッセンス表示装置の製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に

選択的に形成されたエレクトロルミネッセンス材料と対向電極から少なくともなるエレクトロルミネッセンス表示装置の製造方法であって、前記薄膜トランジスタアレイは請求項2記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴としたものである。

【0029】本発明によれば、生産性と歩留りが高く、しかも均一性と性能の良いエレクトロルミネッセンス表示装置の製造方法が提供できるという作用を有する。

【0030】本発明の請求項11記載のエレクトロルミネッセンス表示装置はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極から少なくともなるエレクトロルミネッセンス表示装置であって、前記薄膜トランジスタアレイは請求項3記載の薄膜トランジスタアレイを配置することを特徴としたものである。

【0031】本発明によれば均一性に優れたエレクトロルミネッセンス表示装置が提供できるという作用を有する。

【0032】本発明の請求項12記載のエレクトロルミネッセンス表示装置の製造方法はマトリクス状に複数のゲートバス配線と複数のソースバス配線が配置され、前記ゲートバス配線と前記ソースバス配線の交点近傍には薄膜トランジスタが配置され、前記ソースバス配線もしくは前記ゲートバス配線の少なくとも一方の端部には前記薄膜トランジスタを駆動するための相補型薄膜トランジスタによる駆動回路が同一基板上に一体的に形成された薄膜トランジスタアレイを有する基板上に選択的に形成されたエレクトロルミネッセンス材料と対向電極から少なくともなるエレクトロルミネッセンス表示装置の製造方法であって、前記薄膜トランジスタアレイは請求項4記載の薄膜トランジスタアレイの製造方法に従って製造することを特徴としたものである。

【0033】本発明によれば、より生産性と歩留りが高く、しかも均一性の良いエレクトロルミネッセンス表示装置の製造方法が提供できるという作用を有する。

【0034】以下、本発明の実施の形態を図面を用いて説明する。

【0035】(実施の形態1)(図1)は本発明の第1の実施の形態の薄膜トランジスタアレイ及びその製造方法を説明するための工程断面図であり、以下順を追って説明する。

【0036】ガラス基板1中の不純物の拡散を防ぐためのバッファー層2として、 $\text{SiO}_2$ 膜を被着したガラス基板1(コーニング社製#1737ガラス)上に例えばシラン( $\text{SiH}_4$ )を原料ガスとして用いたプラズマCVD法により膜厚30~1150nmで、非晶質シリコン(以下a-Siと略記する)を形成し、そして、a-Si中の水素を400~450°Cの熱処理で除去した後、例えば、 $\text{XeCl}$ エキシマレーザアニールによりa-Siを結晶化して多結晶シリコンを得た後、1枚目のマスクを用いてフォトリソグラフィーとエッチングによりトランジスタが形成されるところにのみ多結晶シリコン3を残す(図1(a))。

【0037】そして、TEOS(Tetraethylorthosilicate: $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ )を原料ガスとして用いたプラズマCVD法でゲート絶縁膜4となる $\text{SiO}_2$ を100nmの厚みで全面に堆積する。その後、例えばMoW合金を用いてゲート電極5を500nmの厚みで形成する(図1(b))。ここで2枚目のマスクを使用する。ゲート電極の厚みは次の側壁となる材料の形成膜厚と同等または厚い方が望ましい。

【0038】そして、このゲート電極をマスクとして、水素希釈ホスフィン( $\text{PH}_3$ )のプラズマを生成し、

質量分離を行わずに加速電圧は70kVで総ドーピング量は $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度の条件で、イオンドーピングすることにより、低不純物領域(Lightly Doped Drain: 以下ではLDD領域と略記する)6を形成する(図1(c))。

【0039】次には、3枚目のマスクを用いて注入マスク7のパターンを形成し、この注入マスク7を用いてドーピング・マスクを形成し、水素希釈ジボラン( $\text{B}_2\text{H}_6$ )のプラズマを生成し、質量分離を行わ

ずに加速電圧は60kVで総ドーピング量は $5 \times 10^{15} \text{ cm}^{-2}$ の条件で、イオンドーピングすることにより、p-ch TFTのP型ソース・ドレイン領域8を形成する(図1(d))。P型ソース・ドレイン領域は後述の工程でリンも注入されるため、ボロンの注入量は少なくともリンの注入量より多くなければならないが、必要とするソース・ドレイン領域の抵抗に合せて適宜注入量と加速電圧は選択可能である。

【0040】そして、次に全面に例えば側壁用 $\text{SiN}_x$ を500nmの厚みで堆積する。そして、リニアティブイオンエッチングによって異方性エッチングを行い、ゲート側壁9-2を残す(図1(e)及び(f))。このとき側壁9-2の幅は $\text{SiN}_x$ の膜厚とほぼ同等の0.5μm程度となる。また側壁の幅の均一

性はSiNxの堆積膜厚のバラツキとほぼ同レベルの±10%程度が得られる。今回は0.5μmの厚みで形成したが、この厚みはLDD領域6の不純物濃度による電界緩和量や多結晶シリコンの粒径、プロセスマージン等を考慮して適宜設定可能であるが、生産性等を考慮すると1μm以下が望ましい。

【0041】そして、LDD薄膜トランジスタのn型ソース・ドレイン領域10を形成するために、ゲート電極とこの側壁をマスクとして水素希釈ホスフィン(PH<sub>3</sub>)のプラズマを生成し、質量分離を行わずに

加速電圧は70kVで総ドーザ量は $1 \times 10^{15} \text{ cm}^{-2}$ の条件で、イオンドーピングすることにより、n-ch(LDD) TFTのソース・ドレイン領域10を形成する(図1(g))。このときp-ch TFTのソース・ドレイン領域にもリンイオンが打ち込まれるが、打ち込み量がLDD領域形成用のリンと合算してもボロンの約1/5であるため、導電型の問題は無い。このときのリンの注入量はボロンの注入量の1/5に限定するものではなく、所望の抵抗値が得られるように適宜注入量と加速電圧を調整すればよい。そして注入された不純物の活性化を兼ねて、450~600°Cで1時間熱処理を行う。

【0042】そして、層間絶縁膜11としてTEOS(Tetraethylorthosilicate:(C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si)を原料ガスとして用いたプラズマCVD法でSiO<sub>2</sub>(11-1)をまず堆積する。その後、パッシベーションとしても働き、かつ多結晶シリコンのダングリングボンドを補償するための水素化も兼用して、プラズマCVDによるSiNx(11-2)を層間絶縁膜11として全面に堆積する(図1(h))。

【0043】4枚目のマスクを用いてフォトリソグラフィーとエッチングによって半導体のソース・ドレイン領域にコンタクトを取るためのコンタクト・ホール12を形成し(図1(i))、ソース電極13及びドレン電極14として例えばアルミニウム(AI)をスパッタ法で堆積し、その後5枚目のマスクを用いてフォトリソグラフィー・エッチングでパターン化することにより、多結晶シリコンTFTが完成する(図1(j))。

【0044】なお、本実施の形態1では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等で形成しても良い。また、半導体材料として多結晶シリコン3を用いたが、多結晶シリコンに限定するものではなく、非晶質シリコンやSiGe、SiGeC、III-V族、II-VI族などの化合物半導体などでも良い。

【0045】また、本実施の形態1では多結晶を得るために、非晶質堆積後、多結晶化をXeClエキシマレーザーを用いたが他のArF、KrF等のエキシマレーザーやArレーザー等でも良いし、600°C程度のアニールによる固相成長を行っても良い。但し、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いなければならない。

【0046】ゲート絶縁膜としてはTEOSを用いたプラズマCVDによるSiO<sub>2</sub>を用いたが、これ以外にも、減圧CVD、リモートプラズマCVD、常圧CVD、ECR-CVDなどを使うことも可能である。また、高圧酸化やプラズマ酸化膜なども使用可能である。

【0047】また、ゲート電極材料としては、MoW合金を用いたが、純AIを使うこともできるし、AIにSi、Cu、Ta、Sc、Zrなどやそれらを複数種類選択して少量添加した材料を使うことも可能である。

【0048】側壁の材料としてはSiN<sub>x</sub>を用いたが、SiO<sub>2</sub>、酸化タンタル、酸化アルミニウム等の無機絶縁材料でも良い。また必ずしも絶縁材料でなくても良い。例えばAI、Cr、Ti、Mo、W、Taなどやそれらの合金材料やシリサイドでも良いし、Siなどの半導体材料や有機系のものでも構わない。

【0049】注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でのアニールやエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

【0050】また、層間絶縁膜11としてTEOSを用いたプラズマCVD法によるSiO<sub>2</sub>とSiN<sub>x</sub>の積層膜を用いたが、他の方法例えばAP-CVD(Atmospheric Pressure CVD)法によるSiO<sub>2</sub>やLTO(Low Temperature Oxide)、ECR-CVDによるSiO<sub>2</sub>等と窒化シリコンや酸化タンタル、酸化アルミニウム等の組み合せによる積層構造をとっても良い。

【0051】また、ソース電極13およびドレン電極14の材料としてAIを用いたが、アルミニウム(AI)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属またはそれらの合金でも良いし、不純物を多量に含む多結晶シリコンや多結晶シリコンGe合金やITO等の透明導電膜等でも良い。

【0052】また、不純物としてはリンとボロンを用いたが、他にもアクセプタとなる砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることも可能であることを言うまでもない。

【0053】(実施の形態2)(図2)は本発明の第2の実施の形態の薄膜トランジスタアレイ及びその製造方法を説明するための工程断面図であり、以下順を追って説明する。

【0054】ガラス基板1中の不純物の拡散を防ぐためのバッファー層2としてSiO<sub>2</sub>膜を被着したガラス基板1(コーニング社製#1737ガラス)上に例えばシラン(SiH<sub>4</sub>)を原料ガスとして用いたプラズマ

CVD法により膜厚30～1150nmで、非晶質シリコン(以下a-Siと略記する)を形成し、そして、a-Si中の水素を400～450°Cの熱処理で除去した後、例えば、XeClエキシマレーザアニールによりa-Siを結晶化して多結晶シリコンを得た後、1枚目のマスクを用いてフォトリソグラフィーとエッチングによりトランジスタが形成されるところにのみ多結晶シリコン3を残す(図2(a))。

【0055】そして、TEOS(Tetraethylorthosilicate:(C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si)を原料ガスとして用いたプラズマCVD法でゲート絶縁膜4となるSiO<sub>2</sub>を100nmの厚みで全面に堆積する。その後、例えばMoW合金を用いてゲート電極5を500nmの厚みで形成する(図2(b))。ここで2枚目のマスクを使用する。ゲート電極の厚みは次の側壁となる材料の形成膜厚と同等または厚い方が望ましい。次には、3枚目のマスクを用いて注入マスク7のパターンを形成し、この注入マスク7を用いてドーピング・マスクを形成し、水素希釀ジボラン(B<sub>2</sub>H<sub>6</sub>)のプラズマを生成し、質量分離を行わずに加速電圧は60kVで総ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ の条件で、イオンドーピングすることにより、p-ch TFTのp型ソース・ドレイン領域8を形成する(図2(c))。

【0056】P型ソース・ドレイン領域は後述の工程でリンも注入されるため、ボロンの注入量は少なくともリンの注入量より多くなければならないが、必要とするソース・ドレイン領域の抵抗に合せて適宜注入量と加速電圧は選択可能である。

【0057】そして、次に全面に例えば側壁用SiNx9-1を300nmの厚みで堆積する。そして、リクトタイプイオンエッ칭によって異方性エッ칭を行い、ゲート側壁9-2を残す(図2(d)及び(e))。このとき側壁9-2の幅はSiNxの膜厚とほぼ同等の0.3μm程度となる。また側壁の幅の均一性はSiNxの堆積膜厚のバラツキとほぼ同レベルの±10%程度が得られる。今回は0.3μmの厚みで形成したが、この厚みはオフセット領域16の不純物濃度による電界緩和量や多結晶シリコンの粒径、プロセスマージン等を考慮して適宜設定可能であるが、生産性等を考慮すると1μm以下が望ましい。

【0058】そして、オフセット構造の薄膜トランジスタのn型ソース・ドレイン領域10を形成するためには、ゲート電極とこの側壁をマスクとして水素希釀ホスフィン(PH<sub>3</sub>)のプラズマを生成し、質量分離

を行わずに加速電圧は70kVで総ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ の条件で、イオンドーピングすることにより、オフセット構造のTFTのソース・ドレイン領域10とオフセット領域16を形成する(図2(f))。

【0059】このときp-ch TFTのソース・ドレイン領域にもリンイオンが打ち込まれるが、打ち込み量がボロンの1/5であるため、導電型の問題は無い。このときのリンの注入量はボロンの注入量の1/5に限定するものではなく、所望の抵抗値が得られるように適宜注入量と加速電圧を調整すればよい。そして注入された不純物の活性化を兼ねて、450～600°Cで1時間熱処理を行う。

【0060】そして、層間絶縁膜11としてTEOS(Tetraethylorthosilicate:(C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si)を原料ガスとして用いたプラズマCVD法でSiO<sub>2</sub>(11-1)をまず堆積する。その後、パッシベーションとしても働き、かつ多結晶シリコンのダンギングボンドを補償するための水素化も兼用して、プラズマCVDによるSiNx(11-2)を層間絶縁膜11として全面に堆積する(図2(g))。

【0061】4枚目のマスクを用いてフォトリソグラフィーとエッ칭によって半導体のソース・ドレイン領域にコンタクトを取るためのコンタクト・ホール12を形成し(図2(h))、ソース電極13及びドレイン電極14として例えばアルミニウム(AI)をスパッタ法で堆積し、その後5枚目のマスクを用いてフォトリソグラフィー・エッチングでパターン化することにより、多結晶シリコンTFTが完成する(図2(i))。

【0062】なお、本実施の形態2では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等で形成しても良い。また、半導体材料として多結晶シリコン3を用いたが、多結晶シリコンに限定するものではなく、非晶質シリコンやSiGe、SiGeC、III-V族、II-VI族などの化合物半導体などでも良い。

【0063】また、本実施の形態2では多結晶を得るために、非晶質堆積後、多結晶化をXeClエキシマレーザーを用いたが他のArF、KrF等のエキシマレーザーやArレーザー等でも良いし、600°C程度のアニールによる固相成長を行っても良い。但し、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いなければならない。

【0064】ゲート絶縁膜としてはTEOSを用いたプラズマCVDによるSiO<sub>2</sub>を用いたが、これ以外にも、減圧CVD、リモートプラズマCVD、常圧CVD、ECR-CVDなどを使うことも可能である。また、高圧酸化やプラズマ酸化膜なども使用可能である。

【0065】また、ゲート電極材料としては、MoW合金を用いたが、純Alを使うこともできるし、AlにSi、Cu、Ta、Sc、Zrなどやそれらを複数種類選択して少量添加した材料を使うことも可能である。

【0066】側壁の材料としてはSiN<sub>x</sub>を用いたが、SiO<sub>2</sub>、酸化タンタル、酸化アルミニウム等の無機絶縁材料でも良い。また必ずしも絶縁材料でなくても良い。例えばAl、Cr、Ti、Mo、W、Taなどやそれらの合金材料やシリサイドでも良いし、Siなどの半導体材料や有機系のものでも構わない。

【0067】注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400°C以上でのアニールやエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行ってもよい。

【0068】また、層間絶縁膜11としてTEOSを用いたプラズマCVD法によるSiO<sub>2</sub>とSiN<sub>x</sub>の積層膜を用いたが、他の方法例えばAP-CVD(Atmospheric Pressure CVD)法によるSiO<sub>2</sub>やLTO(Low Temperature Oxide)、ECR-CVDによるSiO<sub>2</sub>等と窒化シリコンや酸化タンタル、酸化アルミニウム等の組み合せによる積層構造をとっても良い。

【0069】また、ソース電極13およびドレイン電極14の材料としてAlを用いたが、アルミニウム(AI)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属またはそれらの合金でも良いし、不純物を多量に含む多結晶シリコンや多結晶シリコンGe合金やITO等の透明導電膜等でも良い。

【0070】また、不純物としてはリンとボロンを用いたが、他にもアクセプタとなる砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることも可能であることも言うまでもない。

【0071】(実施の形態3)(図3)は本発明の第3の実施の形態の液晶表示装置及びその製造方法を説明するための断面図である。(図4)は第2の実施の形態の液晶表示装置の等価回路である。詳しい製造方法の手順は省略するが、(実施の形態1)の方法に準拠して、薄膜トランジスタアレイを製造する。層間絶縁膜の堆積までは同一である(図3(a))。

【0072】層間絶縁膜のSiO<sub>2</sub>(11-1)とSiN<sub>x</sub>(11-2)堆積後、本実施の形態3では反射型の液晶表示装置を製造するので、感光性アクリル樹脂17を全面に塗布後、TFTのソース・ドレイン領域や図示はしないがゲート電極にコンタクトを取るためのコンタクトホール形成用と反射電極形成のために4枚目のマスクを用いて露光・現像する。このとき、コンタクトホール12は露光機の解像度限界に達しない範囲でコンタクトホール部を露光し、反射電極の下部となる部分は露光機の解像度限界以下のマスクパターンによって露光することによって、回折を利用して露光を行なって、凹凸をつける(図3(b))。

【0073】そして最後にソース電極13、ドレイン電極14、ソースバス配線(図示しない)、反射膜となる画素電極18をAIを用いて5枚目のマスクによって選択的に形成して薄膜トランジスタアレイが完成する(図3(c))。

【0074】このとき図示はしないが、(実施の形態1)と同じ製造方法で各画素のスイッチングトランジスタとしてマトリクス状に形成するのと同時に各画素トランジスタを駆動するためのCMOS駆動回路も一体化して形成している。

【0075】そして、液晶表示装置とするため、配向膜19を塗布し、ラビングによる配向処理を行った。そして、対向電極21とカラーフィルタ22を形成した対向基板20にも同様に配向膜19を塗布し、ラビングによる配向処理を行った。両基板を貼り合わせ、その間に液晶23を注入し、偏光板24を配置することによって液晶表示装置が完成する(図3(d))。

【0076】なお、本実施の形態3では反射型の液晶表示装置としたが、AIによって形成した画素電極(反射電極)の代わりに透明電極を配置すれば、透過型の液晶表示装置も可能である。その場合は偏光板を薄膜トランジスタアレイ基板側にも配置する必要がある。

【0077】また、本実施の形態3ではソース電極13、ドレイン電極14、ソースバス配線、画素電極(反射電極)を構成する材料としてAIを用いたが、他の材料、例えはAI合金やAgやAgと他の金属との合金を用いても良い。

【0078】(実施の形態4)(図5)は本発明の第4の実施の形態の液晶表示装置及びその製造方法を説明するための断面図である。(図4)は第4の実施の形態の液晶表示装置の等価回路である。詳しい製造方法の手順は省略するが、(実施の形態2)の方法に準拠して、薄膜トランジスタア

レイを製造する。層間絶縁膜の堆積までは同一である(図5(a))。

【0079】層間絶縁膜11のSiO<sub>2</sub>(11-1)とSiN<sub>x</sub>(11-2)堆積後、本実施の形態4では反射型の液晶表示装置を製造するので、感光性アクリル樹脂17を全面に塗布後、TFTのソース・ドレイン領域や図示はしないがゲート電極にコンタクトを取るためのコンタクトホール形成用と反射電極形成のために4枚目のマスクを用いて露光・現像する。このとき、コンタクトホール形成部は露光機の解像度限界に達しない範囲でコンタクトホール部を露光し、反射電極の下部となる部分は露光機の解像度限界以下のマスクパターンによって露光することによって、回折を利用した露光を行なって、凹凸をつける(図5(b))。そして最後にソース電極13、ドレイン電極14、ソースバス配線(図示しない)、反射電極となる画素電極18をAlを用いて5枚目のマスクによって選択的に形成して薄膜トランジスタアレイが完成する(図5(c))。このとき図示はしないが、(実施の形態1)と同じ製造方法で各画素のスイッチングトランジスタとしてマトリクス状に形成するのと同時に各画素トランジスタを駆動するためのCMOS駆動回路も一体化して形成している。

【0080】そして、液晶表示装置とするため、配向膜19を塗布し、ラビングによる配向処理を行った。そして、対向電極21とカラーフィルタ22を形成した対向基板20にも同様に配向膜を塗布し、ラビングによる配向処理を行った。両基板を貼り合わせ、その間に液晶23を注入し、偏光板24を配置することによって液晶表示装置が完成する(図5(d))。

【0081】なお、本実施の形態4では反射型の液晶表示装置としたが、画素電極(反射電極)の代わりに透明電極を配置すれば、透過型の液晶表示装置も可能である。その場合は偏光板を薄膜トランジスタアレイ基板側にも配置する必要がある。

【0082】また、本実施の形態4ではソース電極13、ドレイン電極14、ソースバス配線(図示しない)、画素電極(反射電極)18を構成する材料としてAlを用いたが、他の材料、例えばAl合金やAgやAgと他の金属との合金を用いても良い。

【0083】(実施の形態5)(図6)は本発明の第5の実施の形態のエレクトロルミネッセンス表示装置及びその製造方法を説明するための断面図であり、(図7)は等価回路図である。詳しい製造方法の手順は省略するが、(実施の形態1)の方法に準拠し、層間絶縁膜の堆積後の4枚目のマスクを用いるコンタクトホール形成までは同一である(図6(a))。

【0084】最後にソース電極13、ドレイン電極14、ソースバス配線(図示しない)、画素電極18としてITOを用いて5枚目のマスクによって選択的に形成して薄膜トランジスタアレイが完成する(図6(b))。このとき図示はしないが、(実施の形態1)と同じ製造方法で各画素のスイッチングトランジスタとしてマトリクス状に形成するのと同時に各画素トランジスタを駆動するためのCMOS駆動回路も一体化して形成している。

【0085】その後、例えば、導電性高分子31として例えばポリエチレンジオキシチオフェン(PEDT)と実際に発光するポリジアルキルフルオレン誘導体32を形成し、最後にCa陰極33を蒸着してエレクトロルミネッセンス表示装置が完成する(図6(c))。

【0086】その動作は以下の通りである。まず、スイッチングトランジスタ25がONするように走査線にパルス信号を与えたときに信号線に表示信号を印加すると、駆動用トランジスタ34がON状態となって電流供給線35から電流が流れ、エレクトロルミネッセンスセル36が発光する。

【0087】上記実施の形態5ではエレクトロルミネッセンス材料として、ポリジアルキルフルオレン誘導体を用いたが、他の有機材料、例えば、他のポリフルオレン系材料やポリフェニルビニレン系の材料でも良いし、無機材料でも使用可能なことは言うまでもない。また、エレクトロルミネッセンス材料の形成方法は、スピンドルなどの塗布方法、蒸着、インクジェットによる吐出形成などの方針を用いても良い。

【0088】また、ソースバス配線もITOを用いて形成したが、抵抗に問題がある場合はAlなどの抵抗値の低い材料を用いてバックアップ配線を形成することも可能である。

【0089】(実施の形態6)(図8)は本発明の第6の実施の形態のエレクトロルミネッセンス表示装置及びその製造方法を説明するための断面図であり、(図7)は等価回路図である。詳しい製造方法の手順は省略するが、(実施の形態2)の方法に準拠し、層間絶縁膜の堆積後の4枚目のマスクを用いるコンタクトホール12形成までは同一である(図8(a))。

【0090】最後にソース電極13、ドレイン電極14、ソースバス配線(図示しない)、画素電極18としてITOを用いて選択的に形成して薄膜トランジスタアレイが完成する(図8(b))。このとき図示はしないが、(実施の形態2)と同じ製造方法で各画素のスイッチングトランジスタとしてマトリクス状に形成するのと同時に各画素トランジスタを駆動するためのCMOS駆動回路も一体化して形成している。

【0091】その後、例えば、導電性高分子31として例えばポリエチレンジオキシチオフェン(PEDT)と

実際に発光するポリジアルキルフルオレン誘導体32を形成し、最後にCa陰極33を蒸着してエレクトロルミネッセンス表示装置が完成する(図8(c))。

【0092】その動作は以下の通りである。まず、スイッチングトランジスタ25がONするように走査線29にパルス信号を与えたときに信号線30に表示信号を印加すると、駆動用トランジスタ34がON状態となって電流供給線35から電流が流れ、エレクトロルミネッセンスセル36が発光する。

【0093】上記実施の形態6ではエレクトロルミネッセンス材料として、ポリジアルキルフルオレン誘導体を用いたが、他の有機材料、例えば、他のポリフルオレン系材料やポリフェニルビニレン系の材料でも良いし、無機材料でも使用可能なことは言うまでも無い。また、エレクトロルミネッセンス材料の形成方法は、スピンドルなどの塗布方法、蒸着、インクジェットによる吐出形成などの方を使用いても良い。

【0094】また、ソースバス配線もITOを用いて形成したが、抵抗に問題がある場合はAlなどの抵抗値の低い材料を用いてバックアップ配線を形成することも可能である。

【0095】

【発明の効果】以上説明を行なってきたように、本発明の薄膜トランジスタアレイによれば性能や均一性に優れた薄膜トランジスタが提供できる。また、本発明の薄膜トランジスタの製造方法によれば、わずか5枚のマスクで生産性良く、低コストで均一な薄膜トランジスタを製造できて、その実用上の効果は大きい。また、本発明の液晶表示装置によれば均一性に優れた液晶表示装置が提供できる。また、本発明の液晶表示装置の製造方法によれば、5枚のマスクで生産性良く、低コストで均一性の良い液晶表示装置を製造できて、その実用上の効果は大きい。また、本発明のエレクトロルミネッセンス表示装置によれば均一性と性能に優れたエレクトロルミネッセンス表示装置が提供できる。また、本発明のエレクトロルミネッセンス表示装置の製造方法によれば、5枚のマスクで薄膜トランジスタを形成できるため、生産性良く、低コストで均一性の良いエレクトロルミネッセンス表示装置を製造できて、その実用上の効果は大きい。

**【図面の簡単な説明】**

【図1】本発明にもとづく第1の実施の形態の薄膜トランジスタアレイ及びその製造方法を説明するための主要工程毎の概略断面図

【図2】本発明にもとづく第2の実施の形態の薄膜トランジスタアレイ及びその製造方法を説明するための主要工程毎の概略断面図

【図3】本発明にもとづく第3の実施の形態の液晶表示装置及びその製造方法を説明するための主要工程毎の概略断面図

【図4】本発明にもとづく第3及び第4の実施の形態の液晶表示装置を説明するための画素部の等価回路図

【図5】本発明にもとづく第4の実施の形態の液晶表示装置及びその製造方法を説明するための主要工程毎の概略断面図

【図6】本発明にもとづく第5の実施の形態のエレクトロルミネッセンス表示装置及びその製造方法を説明するための主要工程毎の概略断面図

【図7】本発明にもとづく第3の実施の形態のエレクトロルミネッセンス表示装置を説明するための画素部の等価回路図

【図8】本発明にもとづく第6の実施の形態のエレクトロルミネッセンス表示装置及びその製造方法を説明するための主要工程毎の概略断面図

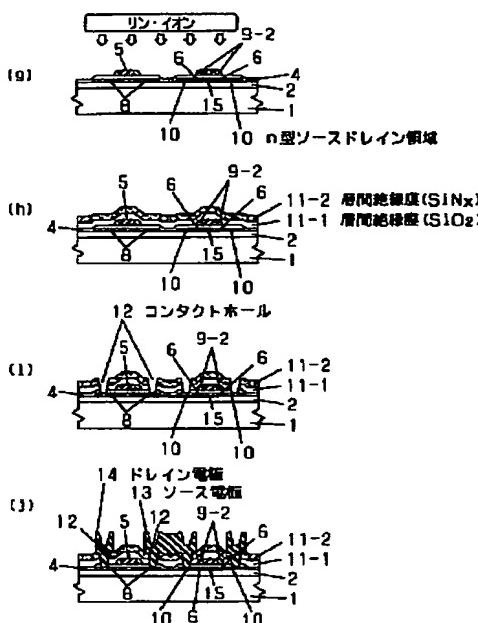
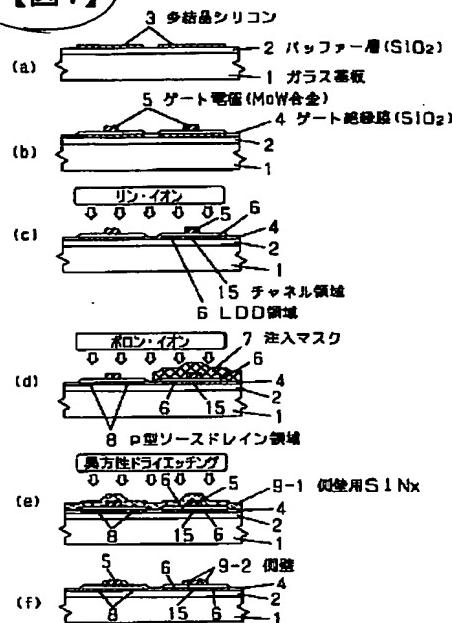
【図9】従来の薄膜トランジスタの概略断面図

**【符号の説明】**

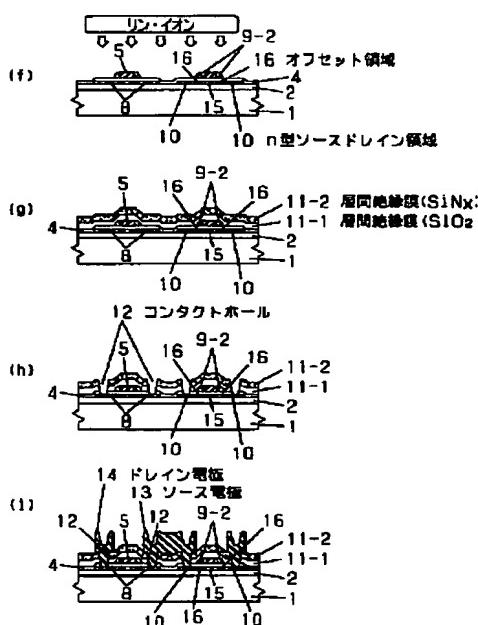
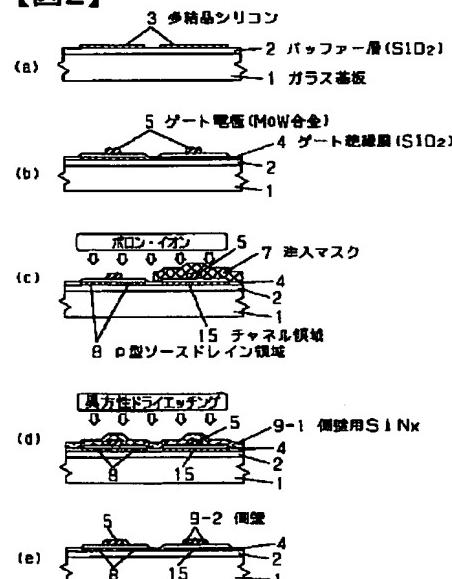
- 1 基板
- 2 パッファー層( $\text{SiO}_2$ )
- 3 多結晶シリコン
- 4 ゲート絶縁膜( $\text{SiO}_2$ )
- 5 ゲート電極(MoW)
- 6 LDD領域
- 7 注入マスク
- 8 p型ソース・ドレイン領域
- 9-1 側壁用 $\text{SiN}_x$
- 9-2 側壁
- 10 n型ソース・ドレイン領域
- 11-1 層間絶縁膜( $\text{SiO}_2$ )
- 11-2 層間絶縁膜( $\text{SiN}_x$ )
- 12 コンタクトホール
- 13 ソース電極
- 14 ドレイン電極
- 15 チャネル領域
- 16 オフセット領域
- 17 感光性アクリル樹脂
- 18 画素電極
- 19 配向膜
- 20 対向基板
- 21 対向電極
- 22 カラーフィルタ
- 23 液晶
- 24 偏光板
- 25 スイッチング用トランジスタ
- 26 蓄積容量
- 27 液晶セル
- 28 CMOS駆動回路
- 29 走査線(ゲートバス配線)
- 30 信号線(ソースバス配線)
- 31 導電性高分子(ポリエチレンジオキシチオフェン)

- 32 ポリフルオレン誘導体
- 33 Ca陰極
- 34 駆動用トランジスタ
- 35 電流供給線
- 36 エレクトロルミネッセンス・セル
- 37 パッシベーション層

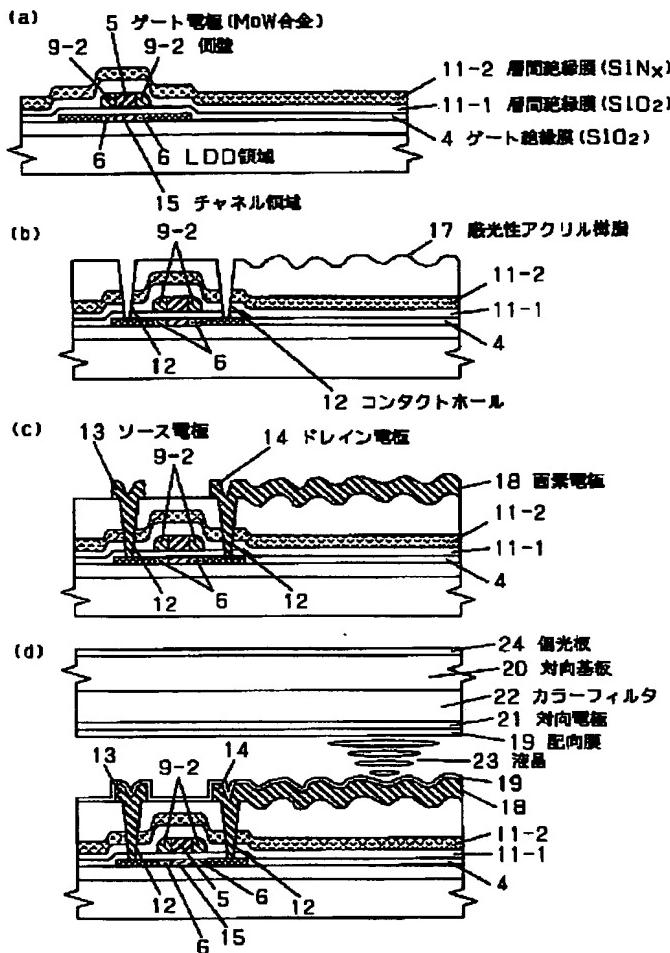
【図1】



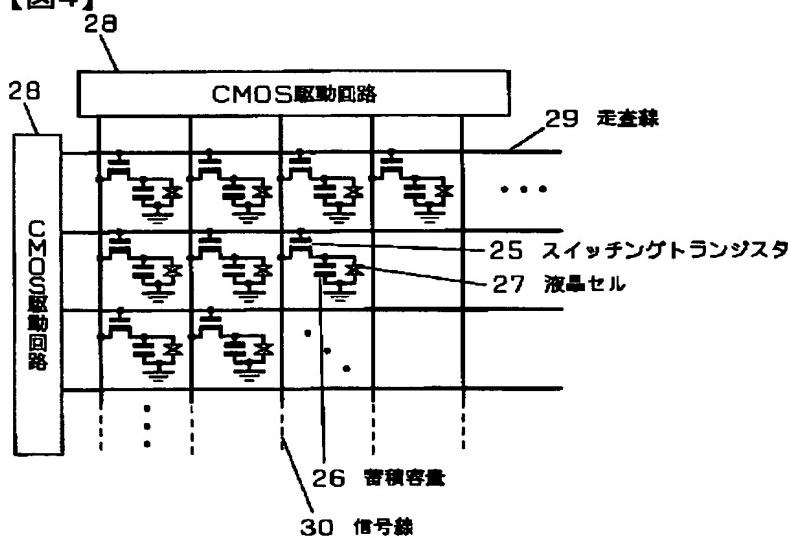
【図2】



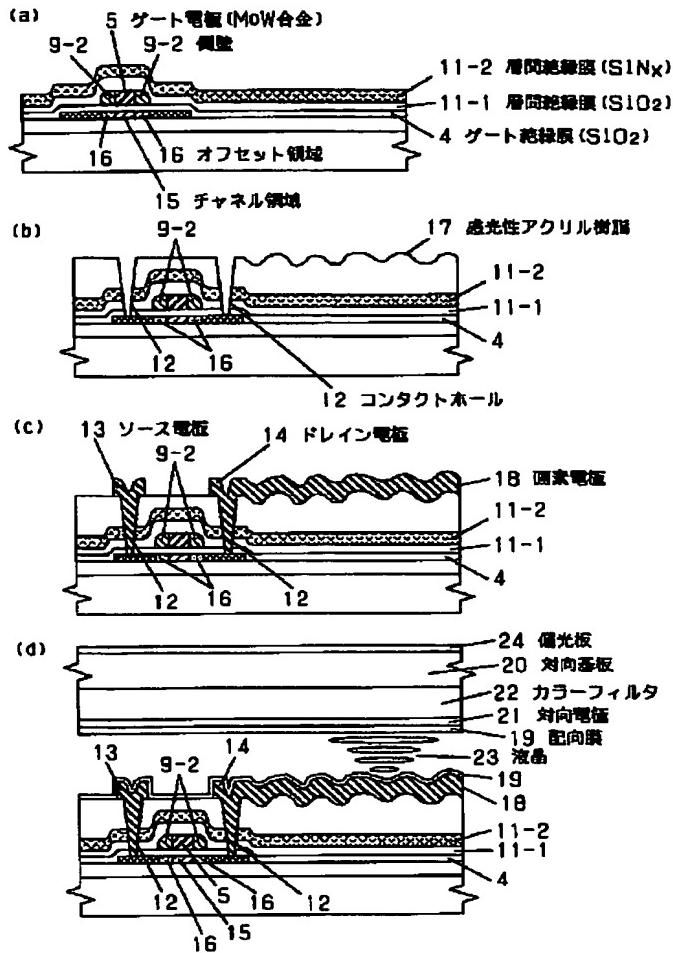
【図3】



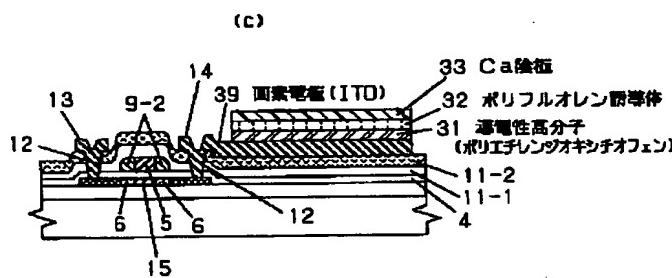
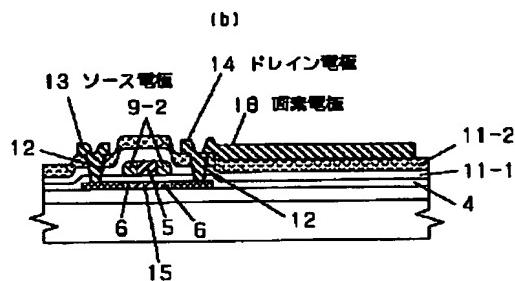
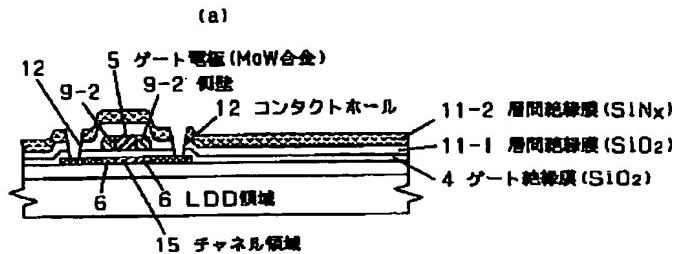
【図4】



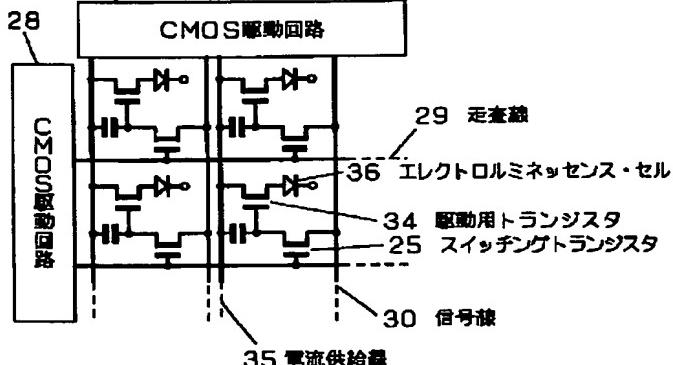
【図5】



【図6】



【図7】



【図8】

